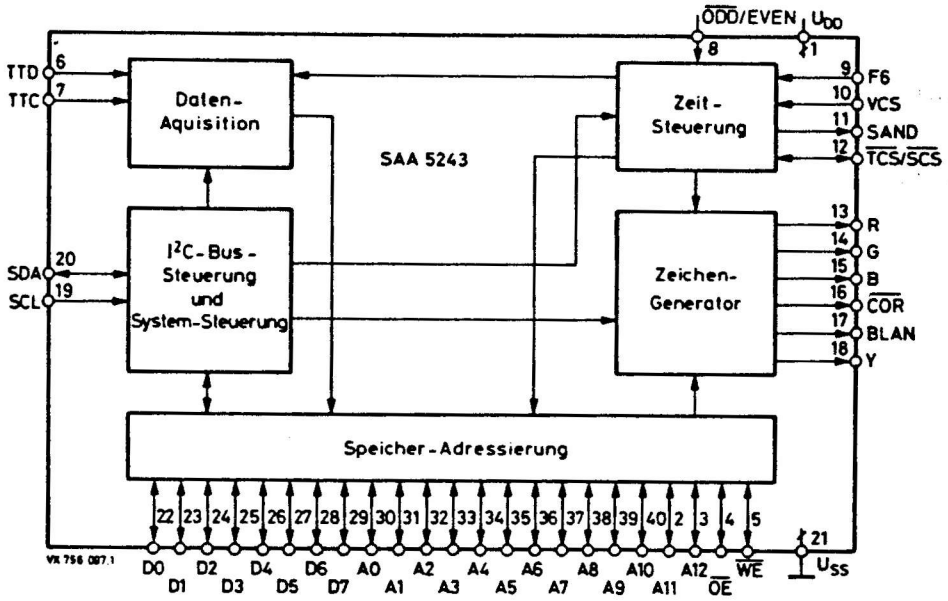
SAA 5243

Monolithisch integrierte NMOS-Schaltung
VIDEOTEXT - DATENVERARBEITUNG und ZEICHENGENERATOR
mit serieller I^2C-Bus-Schnittstelle
für Systeme mit Mikrocontroller

- Angepaßt an den Videotext-Prozessor SAA 5231



Besonderheiten

- Steuerung aller Funktionen über den I^2C-Bus
- Datenaquisition nach dem engl. Teletext-Verfahren für maximal vier Seiten gleichzeitig, selbst bei "full channel transmission"
- Zeichengenerator (ROM) für Englisch, Schwedisch, Deutsch, Italienisch, Französisch und Spanisch
- bis zu acht Seitenspeicher adressierbar
- hochauflösende 10x12 Punktmatrix für Zeichen und Symbole
- Zeitsteuerung sämtlicher Funktionen, inclusive Zeilensprung-Unterdrückung
- Gehäuse mit 40 Anschlüssen

Kurzdaten				
Speisespannung	U_{DD}	=	typ. 5	V
Speisestrom	I_{DD}	=	160	mA
Videotext-Datentakt	f_{VT}	=	6,9375	MHz
Systemtakt	F6	=	6	MHz
Umgebungstemperatur	ϑ_U	=	-20 ... +70	°C

VALVO

SAA 5243

Allgemeine Beschreibung

Der SAA 5243 erfüllt nicht nur die Forderungen augenblicklicher Videotext-übertragungen. Er ist mit zukunftsweisenden Möglichkeiten ausgestattet:

- automatische Umschaltung des Zeichensatzes auf eine von sechs Sprachen durch spezielle Steuerbits in der Seitenüberschrift
- Datenempfang in allen Zeilen eines Vollbildes (full channel mode) mit schnellstem Seitenzugriff
- Darstellung von Status-Informationen über oder unter dem Haupttext
- Zusatzinformationen in 24 virtuellen Textreihen, zusätzlich zu den 24 Textreihen
- gleichzeitiger Suchvorgang von bis zu vier Seiten

Datenaquisition

Die seriellen Daten- und Taktsignale vom Videoprozessor SAA 5231 werden an den Anschlüssen TTD und TTC empfangen und nach Überprüfung auf Korrektheit in der Datenaquisition übernommen. Anschließend gelangen die Daten über die Speicher-Schnittstelle in das externe RAM und von dort bei Wiedergabe in den Zeichengenerator, der seinerseits die RGB-Signale für das Fernsehgeräte (Monitor) ausgibt. Weitere Ausgangssignale stehen für die Austastung (BLAN) und Kontrastreduzierung ($\overline{COR}$) des Fernsehbildes zur Verfügung. Darüber hinaus noch ein monochromes Videotextsignal (Y), z.B. zur Ansteuerung eines Druckers.

Die Datenaquisition wird während der Zeilen 6 ... 22 in der Bildaustastung aktiviert (oder wahlweise in allen Zeilen des Vollbildes). Sie ist so ausgelegt, daß vier Videotextseiten gleichzeitig gesucht, in den Seitenspeicher geschrieben und laufend auf den neuesten Stand gebracht werden. Das System arbeitet praktisch mit vier vollkommend getrennten Datenaquisitionsschaltungen. Im Normalbetrieb lassen sich sogar bis zu acht Seiten einschreiben, aber nur vier gleichzeitig aktualisieren.

Die EURO-CCT-Schaltung besitzt eine sehr flexible Option - den "don't care"-Betrieb. Es lassen sich selbst dann Seiten anwählen, wenn die genauen Seitennummern nicht bekannt sind. Dabei werden anstelle der Seitennummern das Zeichen * eingegeben, darauf erscheinen alle Seiten mit den Ziffern 0 bis 9 an der Stelle des Sterns nacheinander auf dem Bildschirm.

Zeichengenerator

Das Zeichengenerator-ROM enthält 256 Zeichen. Die Ausgangssignale sind: R,G,B, BLAN, $\overline{COR}$ und Y. Das Y-Signal ist nur in der Zeichenebene wirksam - unabhän-

gig von den gewählten Farben - und verfügt nicht über die Blinkfunktion. Darüber hinaus sind Rasterpunkt-, Umfeld- und Vollbildaustastung möglich. Alle Ausgänge sind Open -Drainausgänge mit vielen Anschlußmöglichkeiten.

Leistungsmerkmale:

- Zeichenwiedergabe mit 12x10 Rasterpunktmatrix
- Betrieb mit oder ohne Zeilensprung per Software wählbar
- ausschließlich serielle Attribute
- 256 alphanumerische und grafische Zeichen
- Zeichensätze für sechs Sprachen:

  Deutsch, Englisch, Französisch, Schwedisch, Italienisch und Spanisch.

- sechs Sonderzeichen (Symbole)
- $\overline{COR}$ -Signal erlaubt software-gesteuerte Kontrastreduzierung für Mischbetrieb (superimpose = direkte Zeicheneinblendung) und Umfeldaustastungen.

Taktsteuerung

- Takteingang für 6 MHz vom SAA 5231
- Bildwiedergabeformat: 625 Zeilen bzw. 25 Textreihen mit 10 Zeilen pro Reihe
- Synchronsignalerzeugung mit oder ohne Zeilensprung
- Zeichenhöhenverdopplung, vom Benutzer steuerbar
- Zeilenzähler für die Datenaquisition, unabhängig von der Bildwiedergabe
- Steuerung des "Datenaufnahmefensters" per Software (Zeilen 6 ... 22 oder Vollbildübertragung)
- interner Vertikal-Sync-Generator und interner Signalqualitätsdetektor

Bedienung

Steuerung aller Funktionen über die I^2C-Bus-Schnittstelle des SAA 5243. Mit Hilfe eines Mikrocontrollers mit serieller I^2C-Bus-Schnittstelle (Typen der MAB 8400-Familie) kann das Videotext-Konzept fernbedient werden.

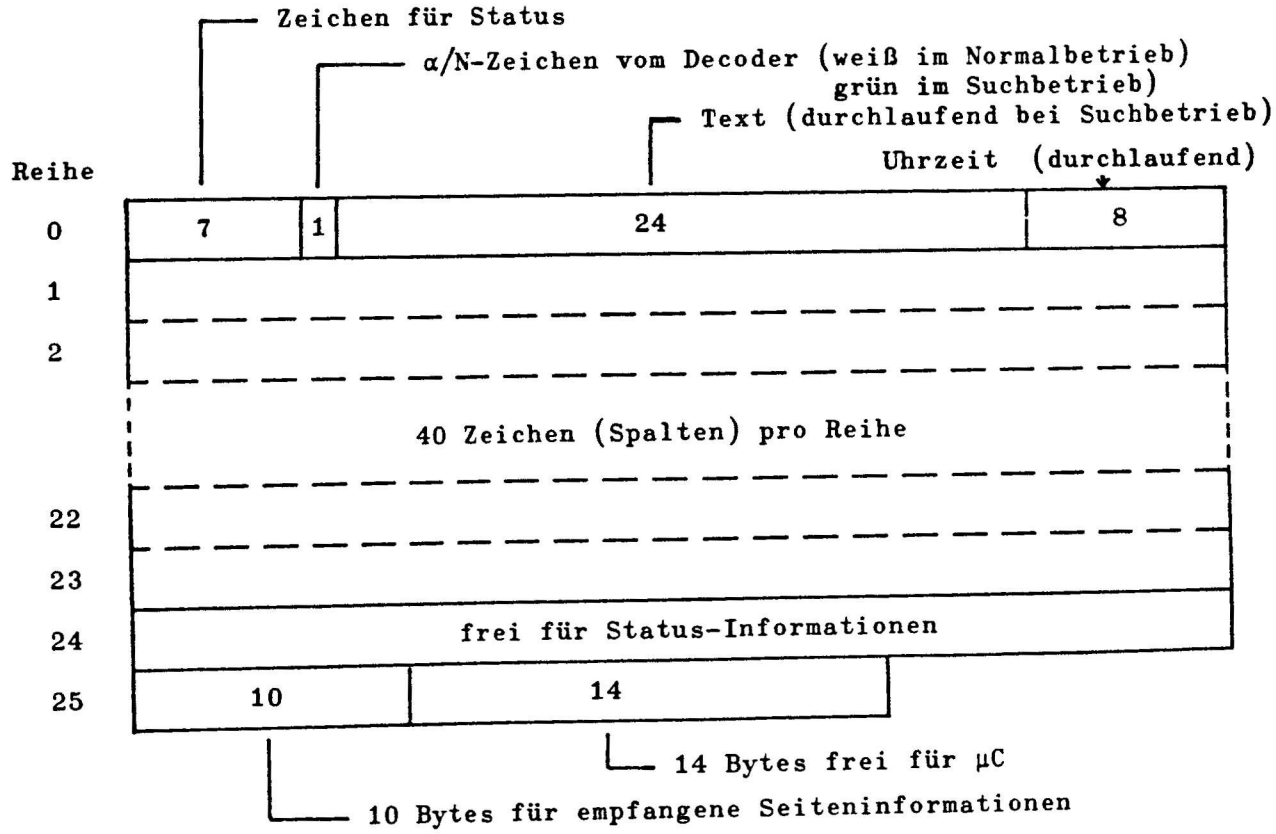
● Auf Anfrage steht eine detailierte Beschreibung der ECCT-Funktionen zur Verfügung.

Funktionsbeschreibung

Beim Anlegen der Speisespannung erfolgt ein Einschalt-Reset, die Busleitungen für den I^2C-Bus werden frei gemacht (SDA = HIGH, SCL = HIGH).
Die Register 1 bis 4 und 7 bis 11 werden auf 0000 0000 gesetzt. Register 5 und Speicher 6 auf 0000 0011 gesetzt. Der Speicher wird gelöscht bis auf Seitenspeicher 0, Reihe 0, Spalte 7, wo "alpha-weiß" = 0000 0111 geschrieben wird.

Seitenspeicher-Organisation

Der vom Videotextsender eingelesene Seitenspeicher besteht aus 24 Reihen (Reihen 0 ... 23) mit je 40 Spalten und ist um die Reihen 24 und 25 erweitert. Reihe 0 ist die Überschriftenzeile (page header), Reihe 24 beinhaltet vom Empfänger erzeugte Status-Informationen und Reihe 25 enthält 10 Bytes für empfangene Seiteninformationen und 14 weitere Bytes für die freie Verwendung des Mikrocontrollers im System.



I^2C-Bus-Protokoll für SAA 5243

S = Startbedingung, P = Stoppbedingung, A = Quittung (Acknowledge = 0)
$\overline{A}$ = keine Quittung (Acknowledge = 1)

Adresse des SAA 5243
1. Byte nach der Startbedingung | 0 0 1 0 0 0 1 R/$\overline{W}$ |

Diese Schaltung ist Slave-Empfänger und Slave-Sender.

Schreibvorgang

S	0010 0010	A	0000 XXXX	A	XXXX XXXX	A^1	XXXX XXXX	A^1	XXXX	A^1	P

↑ Schreiben

Adreßbyte Reg.-Adresse Datenwort Datenwort ...wort

A^1 = Inkrementierung der Reg-Adresse oder weiterer Spaltenadressen

Lesevorgang

S	0010 0011	A	0000 1011	A	XXXX XXXX	A^1	XXXX XXXX	A^1	XXXX	A^1	P

↑ Lesen

Adreßbyte Reg.-Adresse 11 Datenwort Datenwort ...wort

Registeradresse

Die Register R1 bis R10 können nur geschrieben werden (R/$\overline{W}$ = LOW), das Register R11 kann geschrieben und gelesen werden.

Registeradresse

0000 0001 Setzen der Betriebsart in Register 1

0 X X 0 X 1 X X

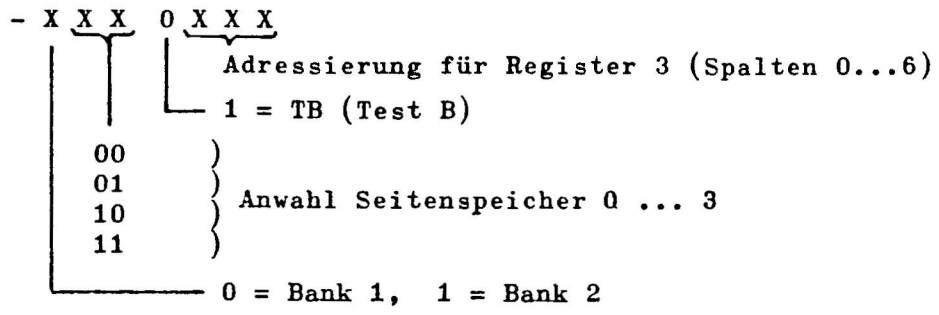
- X X: 00 -- Zeilensprung 312/313 Zeilen
  01 -- kein Zeilensprung 312/313 Zeilen *
  10 -- kein Zeilensprung 312/312 Zeilen *
  11 -- Fremdsynchronisation
- 1 = TSC-Ein ($\overline{TSC}$/$\overline{SCS}$-Anschluß ist Ausgang)
- 0 = $\overline{DEW}$ (Zeilen 6..22), 1 ="full channel mode"
- virtuelle Reihen Enable
- 0 = Normalbetrieb, 1 = Aus
- 0 = $\overline{7+P}$. Übertragung mit Paritätsbit
  1 = 8 bit-Daten (keine Prüfung)
- 1 = TA (Test A)

* unterdrückt bei Blitzmeldung oder Untertitelung

Autoinkrementierung zu Register 2

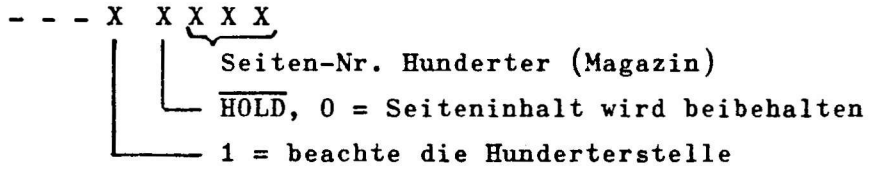
Registeradresse

0000 0010 Seitenspeicher-Steuerung durch Register 2



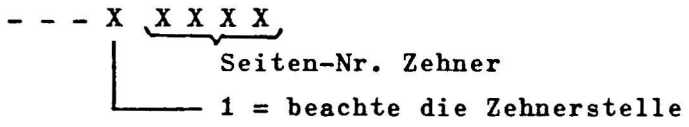
Autoinkrementierung zu dem adressierten Register von Register 3

0000 0011 Suchseiten-Steuerung durch Register 3 (Spaltenadresse 000)

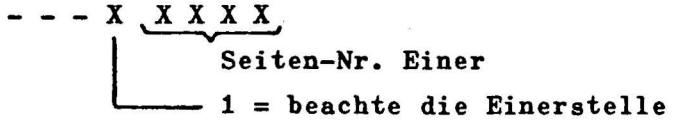


Das Register 3 enthält weitere sieben Spalten zu je 5 bit (PRD4.. ..PRD0. Beim Adressieren von Register 3 wird auf die zuletzt im Register 2 aufgerufene bzw. zuletzt autoinkrementierte Spaltenadresse zugegriffen.

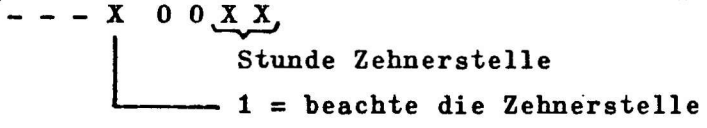
Spaltenadresse 001



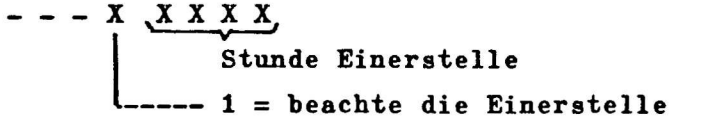
Spaltenadresse 010



Spaltenadresse 011



Spaltenadresse 100



(Fortsetzung:)

Registeradresse

zu 000 0011

Spaltenadresse 101

- - - X 0 X X X

Minute Zehnerstelle

1 = beachte Zehnerstelle

Spaltenadresse 110

- - - X X X X X

Minute Einerstelle

1 = beachte Einerstelle

Autoinkrementiereung von Spaltenadresse zu Spaltenadresse, keine zu Register 4

0000 0100 Seitenspeicher zur Anzeige durch Register 4

- - - - - X X X

Seitenspeicher Nr. für anzeigende Seite (0 ... 7)

Autoinkrementierung zu Register 5

0000 0101 Anzeigensteuerung durch Register 5 (alternativ zu Reg. 6)

Nomenklatur wie Reg. 6 (Normalbetrieb)

Autoinkrementierung zu Register 6

0000 0110 Anzeigensteuerung durch Register 6 (alternativ zu Reg. 5)

nur bei Blitzmeldungen und Untertitelungen, die durch entsprechende Steuerbits gekennzeichnet sind.

innen: definierter Bildausschnitt*

außen: restliches Gesamtbild

* Einblendfenster bzw. "Box"

X X X X X X X X

1 = Fernsehbild innen

1 = Fernsehbild außen

1 = Text innen

1 = Text innen

1 = Kontrastreduzierung innen

1 = Kontrastreduzierung außen

(0 = Normalkontrast)

1 = Hintergrundfarbe innen*

1 = Hintergrundfarbe außen*

(0 = nur Vordergrundfarbe)

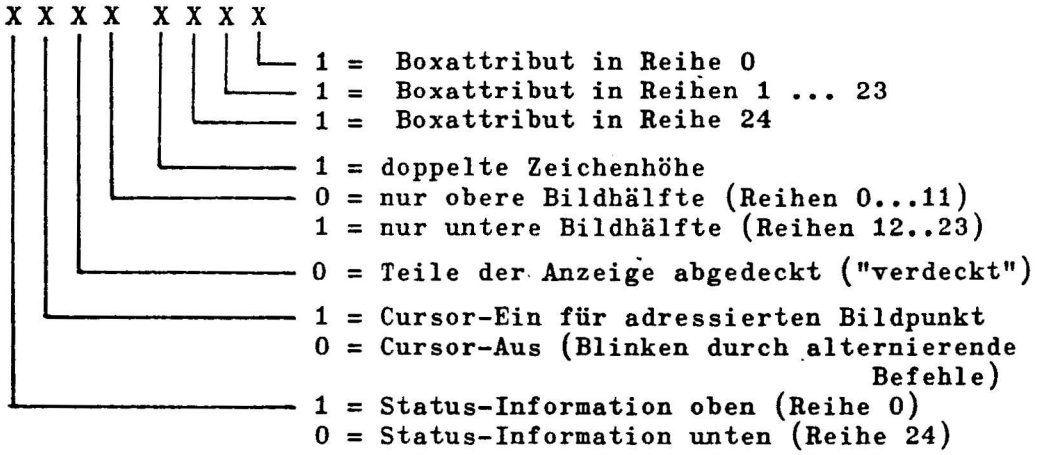
* Priorität vor Fernsehbild innen/außen

Autoinkrementierung zu Register 7

- ≙ 0 oder 1 ohne Auswertung, X ≙ 0 oder 1 mit Auswertung

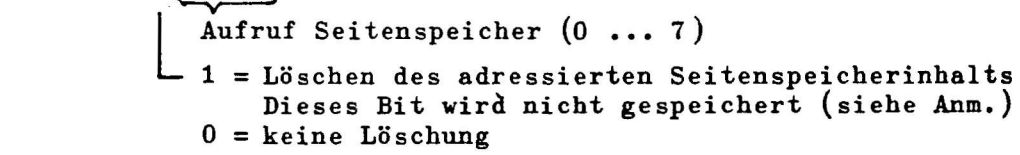
Registeradresse

0000 0111 Anzeigenfeld durch Register 7



keine Autoinkrementation

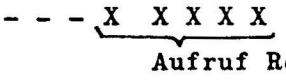
0000 1000 Adressierung eines Zeichenplatzes durch Register 8 bis 10



Anm.: Der Leerzeichencode 0010 0000 erreicht beim Löschen alle Speicherplätze von Reihe 0, Spalte 0 bis Reihe 25, Spalte 23. Dieser Zugriff dauert bis zu 22 ms.

Autoinkrementierung zu Register 9

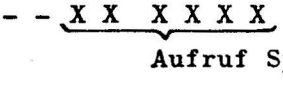
0000 1001 Register 9 Reihenadresse



Die Reihenadresse inkrementiert automatisch und geht von 23 wieder auf 0.

Autoinkrementierung zu Register 10

0000 1010 Register 10 Spaltenadresse



Die Spaltenadresse inkrementiert automatisch. Nach Spalte 39 kommt wieder Spalte 0

0000 1011 Lesen/Schreiben der α/N- Codes durch Register 11

X X X X X X X X

b8 b7 b6 b5 b4 b3 b2 b1 Bits für Symbole nach Tabellen 5 u. 6

- ≙ 0 oder 1 ohne Auswertung, X ≙ 0 oder 1 mit Auswertung

Lesen oder Schreiben der Seiteninformationen

Diese befinden sich in Reihe 25 der Seitenspeicher in den Spalten 0 ... 9.

Adressierung, z.B. Reihe 25 in Seitenspeicher 2:

S	0010 001X	A	0000 1000	A	0000 0010	A	0001 1001	A	0000 0000	A
	Adreßbyte		Reg.Adresse		Seitenspeicher Nr. 2		Reihe 25		Spalte 0	

0	0	0	HA	PU3	PU2	PU1	PU0	A

Inhalt Register 11, Spalte 0

Tabelle 1 Steuerbefehle im Seitenregister in Reihe 25

Spaltenadresse	Datenwortbit D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	HA	PU3	PU2	PU1	PU0
1	0	0	0	HA	PT3	PT2	PT1	PT0
2	0	0	0	HA	MU3	MU2	MU1	MU0
3	0	0	0	HA	C4	MT2	MT1	MT0
4	0	0	0	HA	HU3	HU2	HU1	HU0
5	0	0	0	HA	C6	C5	HT1	HT0
6	0	0	0	HA	C10	C9	C8	C7
7	0	0	0	HA	C14	C13	C12	C11
8	0	0	0	$\overline{\text{FOUND}}$	0	MAG2	MAG1	MAG0
9	0	0	PBLF	0	0	0	0	0

Signale:
- $\overline{\text{HA}}$ = Hamming-Fehler in entsprechender Spalte gefunden
- $\overline{\text{FOUND}}$ = LOW, wenn eine Seite gefunden
- PBLF = es wird nach einer Seite gesucht
- MAG = Seitenspeichernummer (Magazin) 0 bis 7 (000...111)
- PU = Seitennummer Einer (0...9)
- PT = Seitennummer Zehner (0...9)
- MU = Minute Einer
- MT = Minute Zehner
- HU = Stunde Einer
- HU = Stunde Zehner

  (auch als zusätzlicher Seitencode nutzbar bei entsprechender Ausstrahlung)
- C. = Steuerbits nach Teletext-Norm

Steuerung der Sprachgruppen

Bit	Englisch*	Schwed.	Deutsch	Spanisch	Ital.	Französisch
C12	0	0	0	1	0	1
C13	0	1	0	0	1	0
C14	0	0	1	1	1	0

*Default-Wert

Steuerbits: C4 = Löschen
C5 = Blitznachricht
C6 = Untertitel
C7 = Kopfzeilen-Unterdrückung
C8 = Update
C9 = unterbrochene Sequenz
C10 = Anzeige unterdrückt
C11 = Seitenspeicher seriell

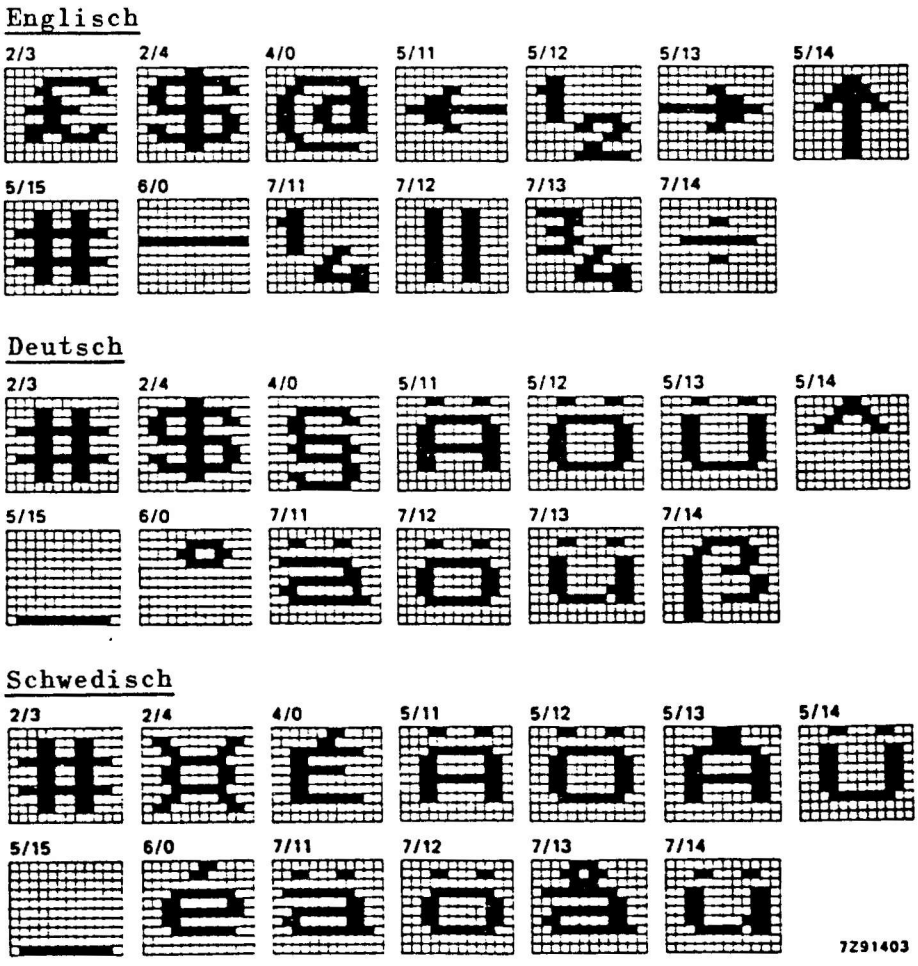
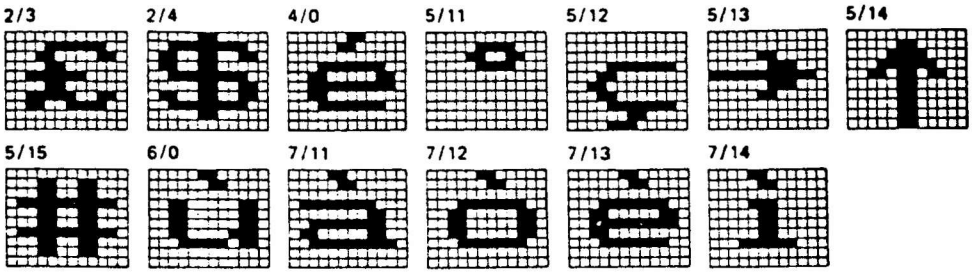
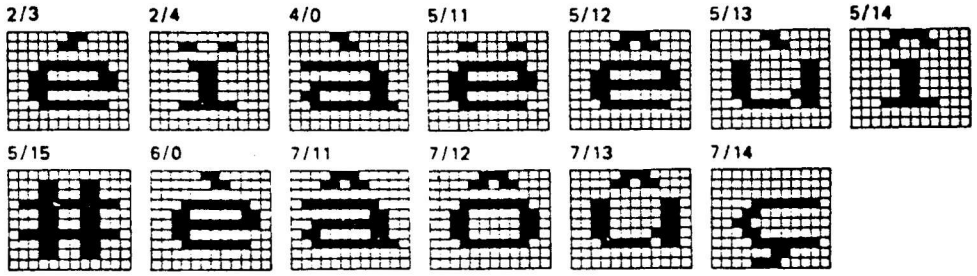


Tabelle 2 Sonderzeichen des SAA 5243 für Englisch, Deutsch und Schwedisch

Italienisch



Französisch



Spanisch

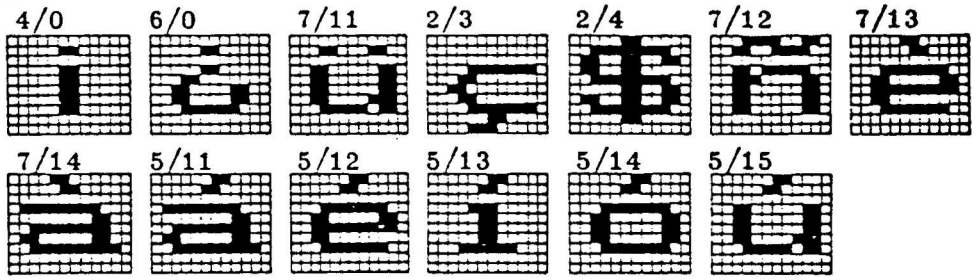


Tabelle 3 Sonderzeichen des SAA 5243 für Italienisch, Französisch u. Spanisch

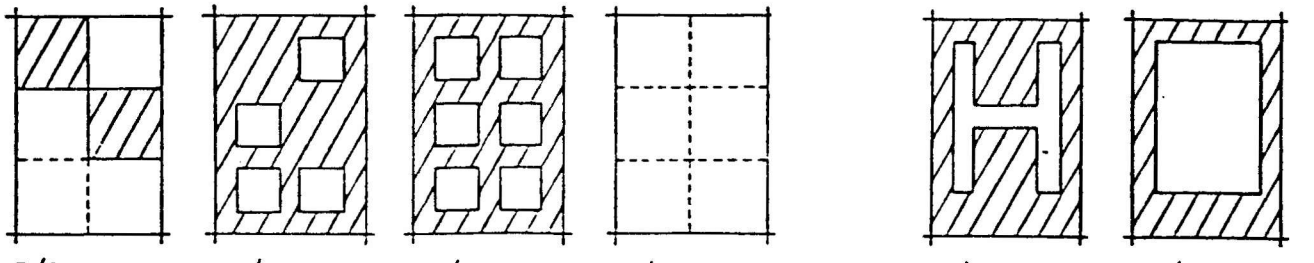


Bild 2 Beispiele von Zeichenkombinationen

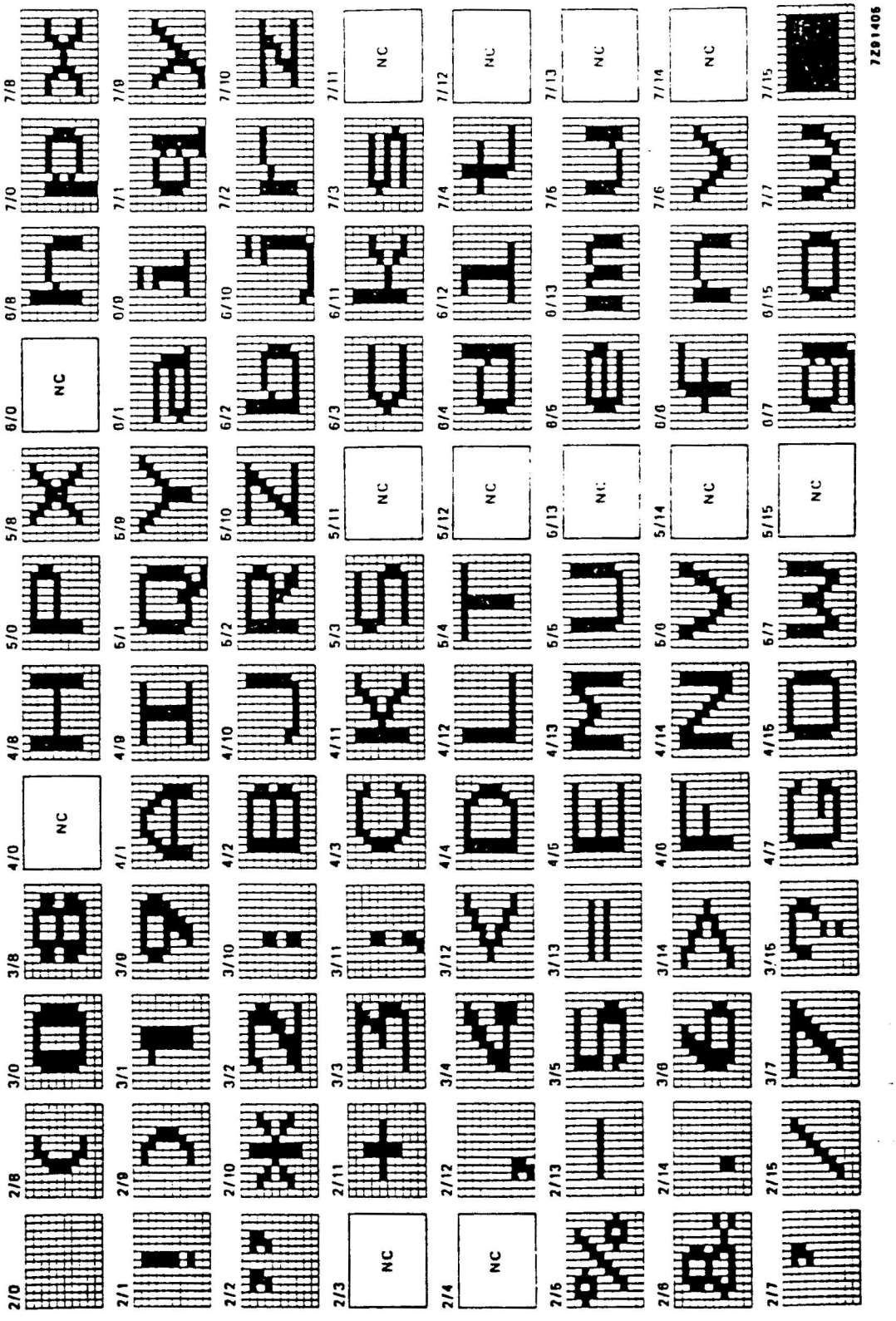


Tabelle 4 Gemeinsame Zeichen für SAA 5243 (NC = nationale Sonderzeichen)

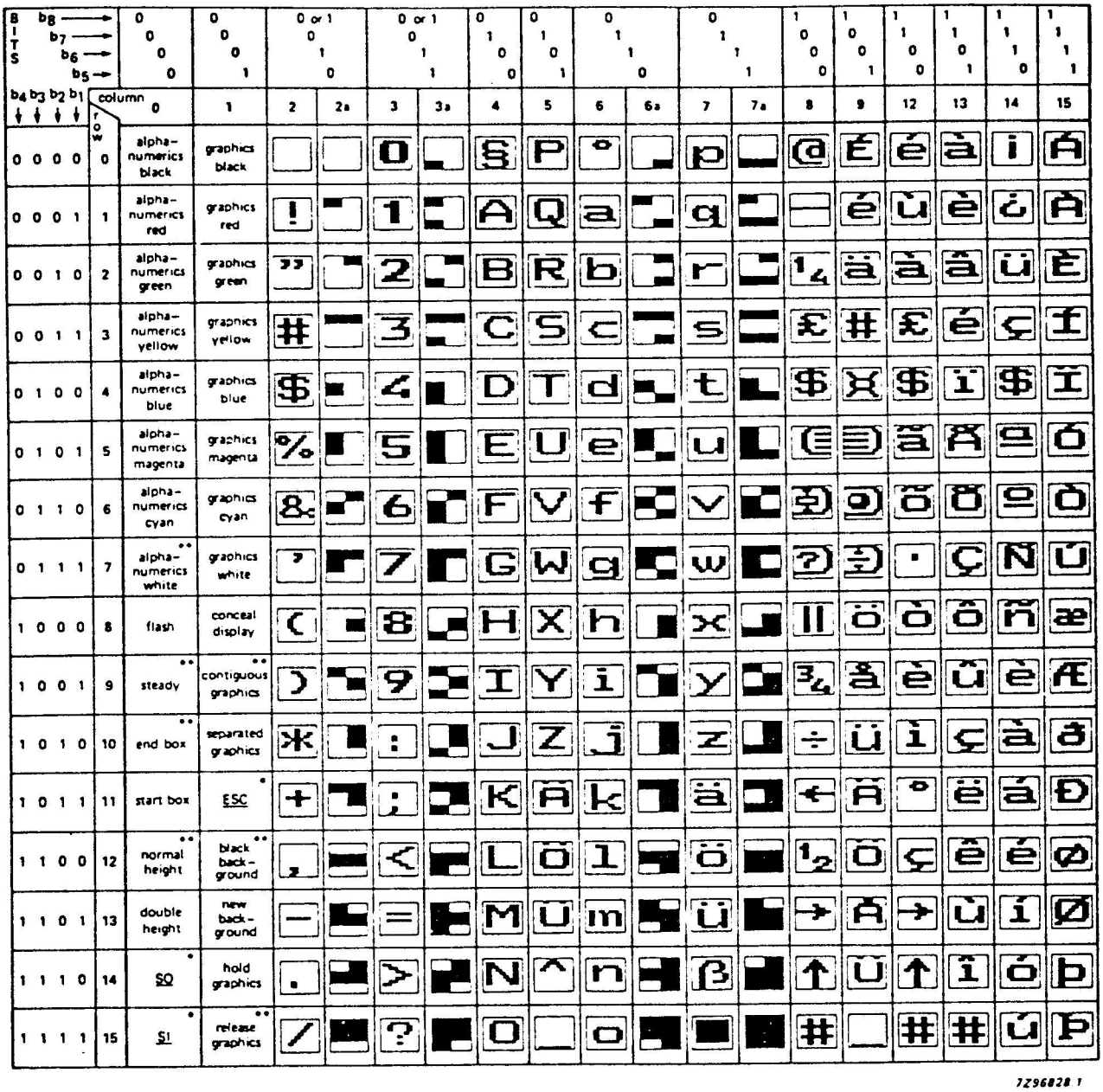


Tabelle 5 Zeichenvorrat mit Adressen für SAA 5243

* reserviert zwecks Kompatibilität mit anderen Codierungen

** werden am Beginn jeder Reihe benutzt

SAA 5243

Belegung der Anschlüsse

(1) U_{DD} +5 V-Speisespannung

(2, 3, 40) A11, A12 und A10 Seitenspeicher-Adreßbits

(4) $\overline{OE}$ Lesefreigabe für RAM, erscheint im 1 MHz-Takt

(5) $\overline{WE}$ Schreibfreigabe für RAM, erscheint nur zum Schreiben, den Lesezyklen zwischengeschaltet.

(6) TTD Videotext-Dateneingang. Separierte Daten vom SAA 5231, synchron zu TTC (Kopplungskondensator verwenden, siehe Bild 3)

(7) TTC Videotext-Datentakt. 6,9375 MHz-Takt vom SAA 5231. Eingang mit Pufferstufe und internem Kopplungskondensator (Bild 3)

(8) $\overline{ODD}$/EVEN Ausgabe erfolgt bei Zeilensprung. Das Ausgangssignal wechselt einmal pro Bild, 2 µs vor dem Ende der Zeile 311 (624). HIGH entspricht EVEN und LOW entspricht ODD.

(9) F6 6 MHz-Systemtakt vom SAA 5231. Eingang mit Pufferstufe und internem Kopplungskondensator (Bild 3).

(10) VCS-Eingang. Vom FBAS im SAA 5231 abgetrenntes Zeilen-Syncsignal

(11) SAND Sandcastle-Impulsausgang mit drei Pegeln für den SAA 5231. Phasensynchronisiert durch VCS und mit Bursttastimpuls (Bild 5).

(12) $\overline{TCS}$/$\overline{SCS}$ Ein-/Ausgang. $\overline{TCS}$-Impulsausgang (Text Composite Sync) zur Zeilensynchronisation des SAA 5231 bei Textwiedergabe (Bild 5), wahlweise mit/ohne Zeilensprung.
$\overline{SCS}$-Eingang (Scan Composite Sync, während $\overline{TCS}$ hochohmig ist) für die Synchronisation von einem externen Taktgenerator.

(13, 14, 15) RGB-Ausgänge. Open -Drainausgänge (für Rot, Grün und Blau) zur Ansteuerung der Fernseh-Schnittstelle. Die Signale sind Aktiv-HIGH und beinhalten Bildsignale und Hintergrund.

(16) $\overline{COR}$ Kontrastreduktion. Open -Drainausgang zur geschalteten Kontrastreduzierung des Fernsehbildes bei Misch- und Einblendbetrieb.

(17) BLAN Austastung (Blanking). Open -Drainausgang mit positiven Austastsignalen für die Video-Austastung im Fernsehgerät bei Misch- und Einblendbetrieb.

(18) Y-Signal mit 100 %-Schwarzpegel, ohne Sync-Signale und Binkfunktionen (z.B. zum Ansteuern eines Druckers).

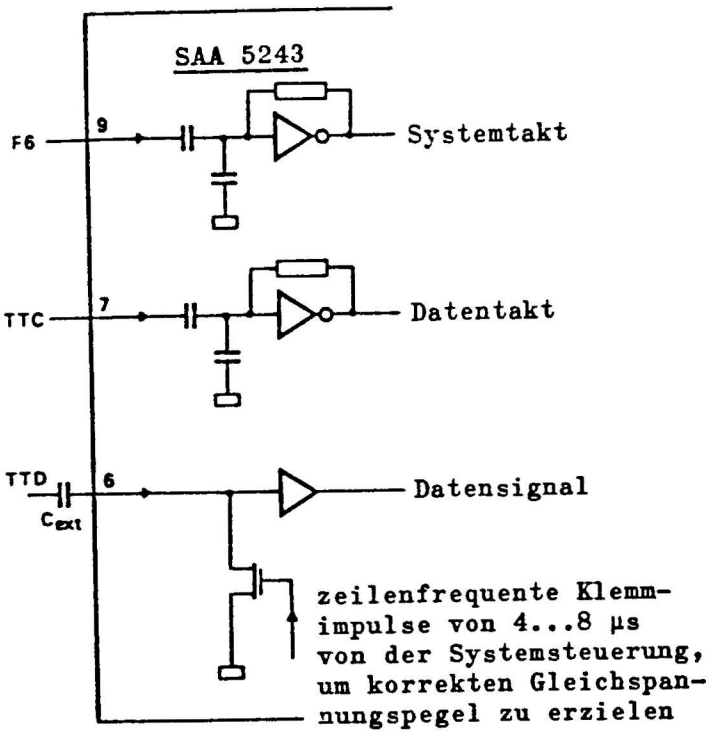
(19) SCL Taktleitung für den I^2C-Bus

(20) SDA Datenleitung für den I^2C-Bus

(21) U_{SS} Masse (0 V)

(22 ... 29) D0 ... D7 Datenleitungen zum RAM

(30 ... 39) A0 ... A9 Adreßbits für RAM



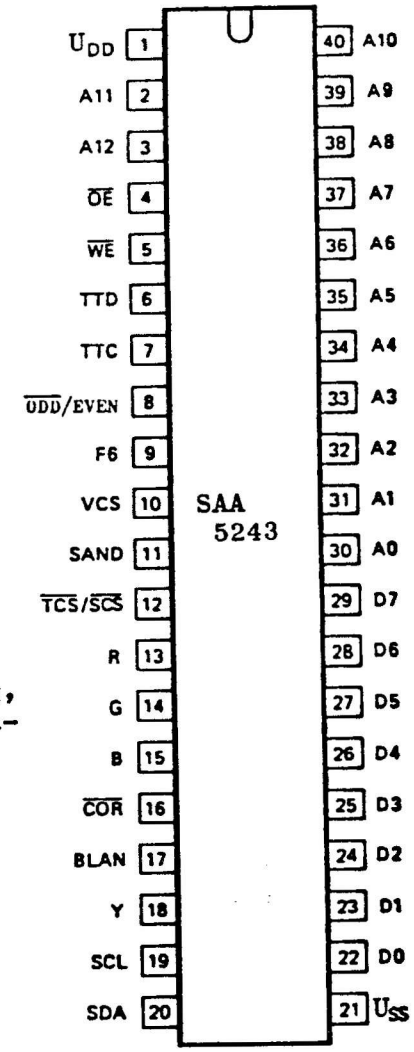


Bild 3a Eingangsstufen

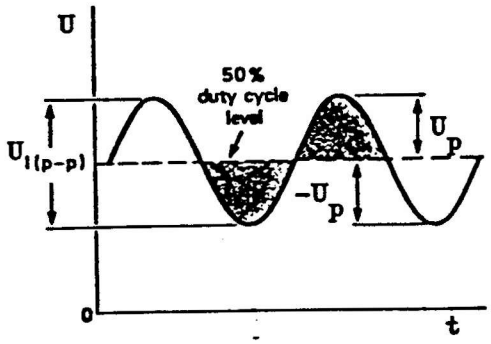


Bild 3b Eingangssignal, 50 %-Linie durch Integration der Flächen

Gehäuse SOT-129, dual in line, Epoxid-Plastik, 40 Anschlüsse.

Absolute Grenzwerte (U_{SS} = 0 V)		min.	typ.	max.	
Speisespannung	U_{DD}	-0,3	-	7,5	V
Eingangsspannungen					
VCS, SDA, SCL und D0 ... D7	U_I	-0,3	-	7,5	V
TTC, TTD, F6 und $\overline{TCS}/\overline{SCS}$	U_I	-0,3	-	10	V
Ausgangsspannungen					
SAND, A0..A12, $\overline{OE}$, $\overline{WE}$, D0..D7, SDA, ODD/$\overline{EVEN}$, R, G, B, Y, BLAN, $\overline{COR}$	U_Q	-0,3	-	7,5	V
$\overline{TCS}/\overline{SCS}$	U_Q	-0,3	-	10	V
Umgebungstemperatur	ϑ_U	-20	-	+70	°C
Lagerungstemperatur	ϑ_S	-55	-	+125	°C

Kenn- und Betriebswerte bei U_{SS} = 0, U_{DD} = 5 V und ϑ_U = 25 °C, sofern nicht anders angegeben.		min.	typ.	max.	
Speisespannung	U_{DD} (1/21)	4,5	5	5,5	V
Speisestrom	I_{DD} (1)	-	160	270	mA
Eingang TTD (Bilder 3 und 4)					
Eingangssignalpegel	$U_{I\ mm}$	2	-	7	V
externer Kopplungskondensator	C_{ext}	-	-	50	nF
Eingangs-Leckstrom (U_I= 0...10 V)	I_I	-	-	20	µA
Eingangskapazität	C_I	-	-	7	pF
Übergangszeiten	t_r , t_f	10	-	80	ns
Eingänge TTC und F6 (Bilder 3 und 4)					
Eingangssignalpegel	$U_{I\ mm}$	1	-	7	V
Gleichspannung am Eingang	U_I	-0,3	-	10	V
Spannungsspitzen, bezogen auf 50 % Tastverhältnis (Bild 3b)	$\pm U_p$	0,2	-	3,5	V
Eingangs-Leckstrom (U_I= 0...10 V)	I_I	-	-	20	µA
Eingangskapazität	C_I	-	-	7	pF
Eingangsfrequenz (Datentakt)	f_{TTC}	-	6,9375	-	MHz
Eingangsfrequenz (Systentakt)	f_{F6}	-	6,0	-	MHz
Übergangszeiten	t_r , t_f	10	-	80	ns

		min.	typ.	max.	
Eingang VCS					
Eingangsspannung LOW	$U_{I\,L}$	0	-	0,8	V
Eingangsspannung HIGH	$U_{I\,H}$	2	-	U_{DD}	V
Eingangs-Leckstrom (U_I = 5,5 V)	I_I	-	-	10	µA
Eingangskapazität	C_I	-	-	7	pF
Übergangszeiten	t_r , t_f	-	-	500	ns
I^2C-Bus-Schnittstelle (sh. Seite 6)					
Eingänge SDA und SCL					
Eingangsspannung LOW	$U_{I\,L}$	0	-	1,5	V
Eingangsspannung HIGH	$U_{I\,H}$	3	-	U_{DD}	V
Eingangs-Leckstrom (U_I = 5,5 V)	I_I	-	-	10	µA
Eingangskapazität	C_I	-	-	7	pF
max. Kapazität am Bus	C_{max}	-	-	400	pF
Eingangsfrequenz	f_{SCL}	-	-	100	kHz
Übergangszeiten	t_r , t_f	-	-	2	µs
Abfallzeit 3 auf 1 V (Quittung)	t_f	-	-	0,2	µs
SCL bei Quittung ($I_{I\,L}$ = 3 mA)	$U_{I\,L}$	0	-	0,5	V
Ein-/Ausgang $\overline{TCS}/\overline{SCS}$					
Eingangssignal $\overline{SCS}$ (Anschluß 12)					
Eingangsspannung LOW	$U_{I\,L}$	0	-	1,5	V
Eingangsspannung HIGH	$U_{I\,H}$	3,5	-	10	V
Eingangs-Leckstrom (U_I= 0..10 V) bei $\overline{TCS}$ hochohmig	I_I	-	-	10	µA
Eingangskapazität	C_I	-	-	7	pF
Übergangszeit	t_r , t_f	-	-	500	ns
Ausgangssignal $\overline{TCS}$ (Anschluß 12)					
Ausgangsspannung LOW bei $I_{Q\,L}$ = 1,6 mA	$U_{Q\,L}$	0	-	0,4	V
Ausgangsspannung HIGH bei $-I_{Q\,H}$ = 0,2 mA	$U_{Q\,H}$	2,4	-	U_{DD}	V
bei $-I_{Q\,H}$ = 0,1 mA	$U_{Q\,H}$	2,4	-	6	V
Lastkapazität	C_L	-	-	50	pF
Übergangszeiten, gemessen bei 0,6 und 2,2 V	t_r , t_f	-	-	100	ns

		min.	typ.	max.	
RAM-Datenschnittstelle D7...D0 (Bild 8)					
Tristate Ein-/Ausgänge					
Eingangsspannung LOW	$U_{I\,L}$	0	-	0,8	V
Eingangsspannung HIGH	$U_{I\,H}$	2	-	U_{DD}	V
Eingangs-Leckstrom (U_I= 0..5,5 V)	$\pm I_I$	-	-	10	µA
Eingangskapazität	C_I	-	-	7	pF
Ausgangsspannung LOW bei I_{QL} = 1,6 mA	$U_{Q\,L}$	0	-	0,4	V
Ausgangsspannung HIGH bei $-I_{QL}$ = 0,2 mA	$U_{Q\,H}$	2,4	-	U_{DD}	V
Lastkapazität	C_L	-	-	120	pF
Übergangszeit, gemessen bei 0,6 und 2,2 V	t_r , t_f	-	-	50	ns
RAM-Adreßausgänge A0...A12, $\overline{OE}$, $\overline{WE}$					
Ausgangsspannung LOW bei I_{QL} = 1,6 mA	$U_{Q\,L}$	0	-	0,4	V
Ausgangsspannung HIGH bei $-I_{QH}$ = 0,2 mA	$U_{Q\,H}$	2,4	-	U_{DD}	V
Lastkapazität	C_L	-	-	120	pF
Übergangszeit, gemessen bei 0,6 und 2,2 V	t_r , t_f	-	-	50	ns
Ausgang $\overline{ODD}$/EVEN (Bild 5)					
Ausgangsspannung LOW bei I_{QL} = 0,4 mA	$U_{Q\,L}$	0	-	0,4	V
Ausgangsspannung HIGH bei $-I_{QH}$ = 0,2 mA	$U_{Q\,H}$	2,4	-	U_{DD}	V
Lastkapazität	C_L	-	-	50	pF
Übergangszeit, gemessen bei 0,6 und 2,2 V	t_r , t_f	-	-	100	ns
Ausgang SAND (Bild 5)					
Ausgangsspannung LOW bei I_{QL} = 0,2 mA	$U_{Q\,L}$	0	-	0,25	V
Zwischenpegel bei $\pm I_{QI}$ = 10 µA	U_{QI}	1,1	-	3,1	V
Ausgangsspannung HIGH bei $-I_{QH}$ = 0...10 µA	$U_{Q\,H}$	4	-	U_{DD}	V
Lastkapazität	C_L	-	-	30	pF

		min.	typ.	max.	
Anstiegszeit, Ausgang SAND					
gemessen bei 0,4 und 1,1 V	t_{r1}	-	-	400	ns
gemessen bei 2,9 und 4 V	t_{r2}	-	-	200	ns
Abfallzeit					
gemessen bei 4 und 0,4 V	t_f	-	-	50	ns
Fernseh-Schnittstelle (Bild 6)					
R, G, B, $\overline{COR}$, BLAN und Y					
Open - Drainausgänge					
Ausgangsspannung LOW					
bei U_{QL} = 2 mA	$U_{Q\,L}$	0	-	0,4	V
bei U_{QL} = 5 mA	$U_{Q\,L}$	0	-	1	V
max. Ausgangsspannung (HIGH)	$U_{Q\,H}$	-	-	6	V
Ausgangs-Leckstrom (U_Q= 0...6 V)	I_Q	-	-	10	µA
Lastkapazität	C_L	-	-	25	pF
Abfallzeit mit R_L = 1,2 kΩ an 6 V					
gemessen bei 5,5 und 1,5 V	t_f	-	-	20	ns
Abfallverzögerung mit R_L = 1,2 kΩ an 6 V, gemessen bei 3,5 V	t_{SK}	-	-	20	ns

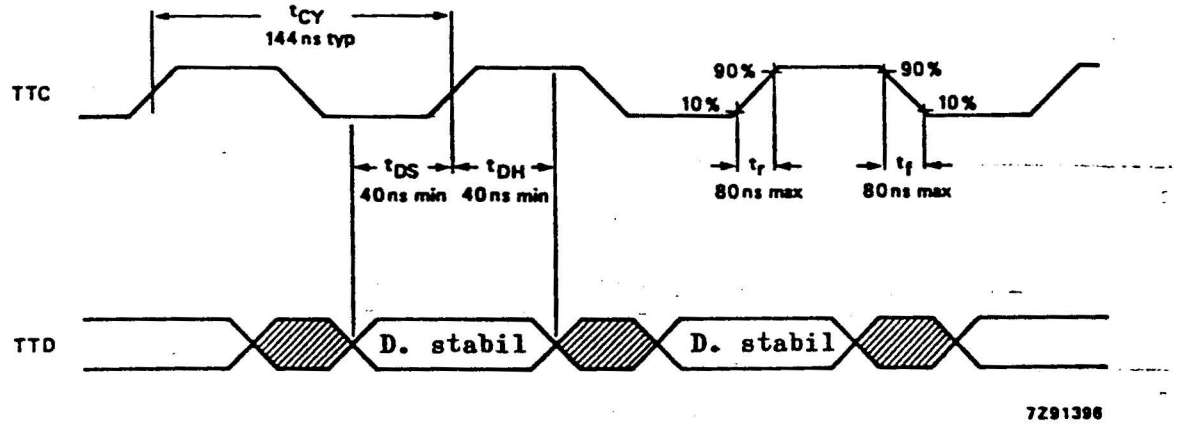


Bild 4 Videotext-Dateneingang TTD und Takt TTC

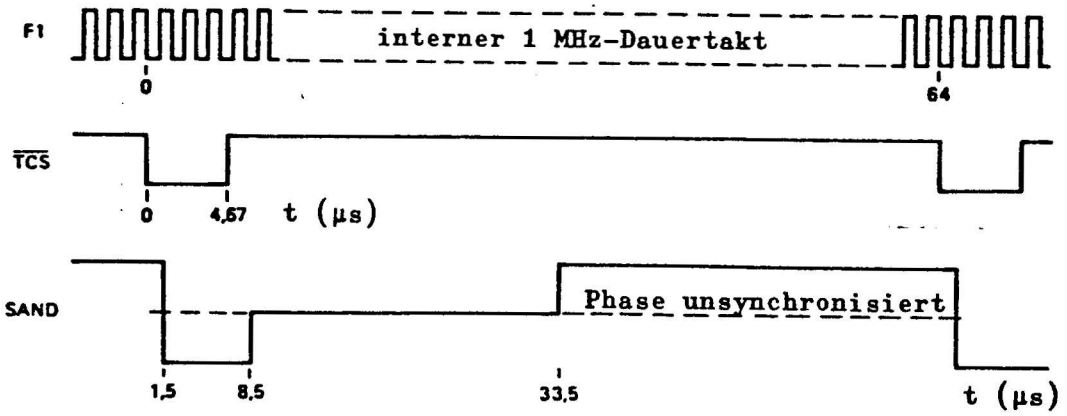


Bild 5 Synchronisation, Sandcastleimpuls

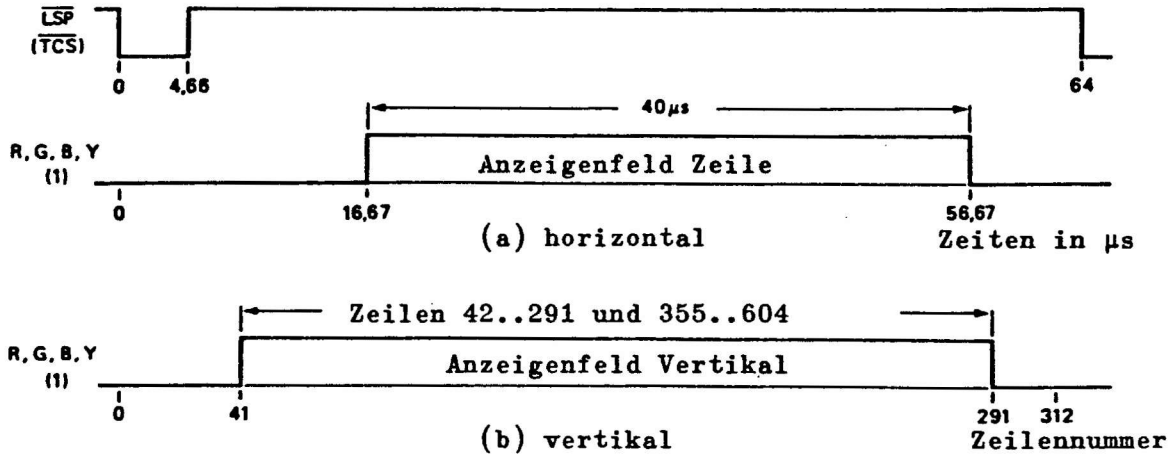
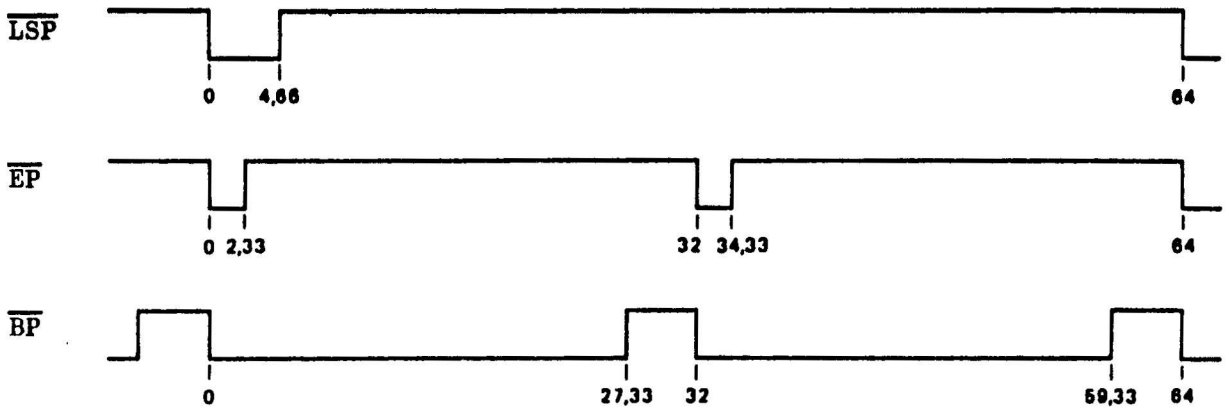
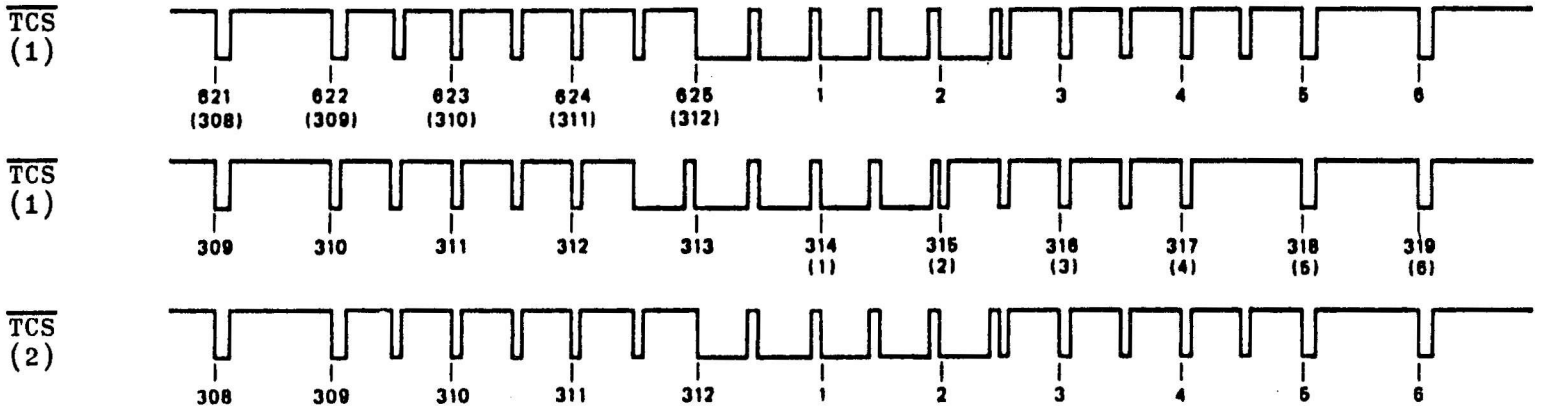


Bild 6 Anzeigenfeld-Steuerung in horizontaler und vertikaler Richtung
(1) ebenfalls Austastung (BLAN)



Bildung des $\overline{TCS}$-Signals (Zeiten in µs)



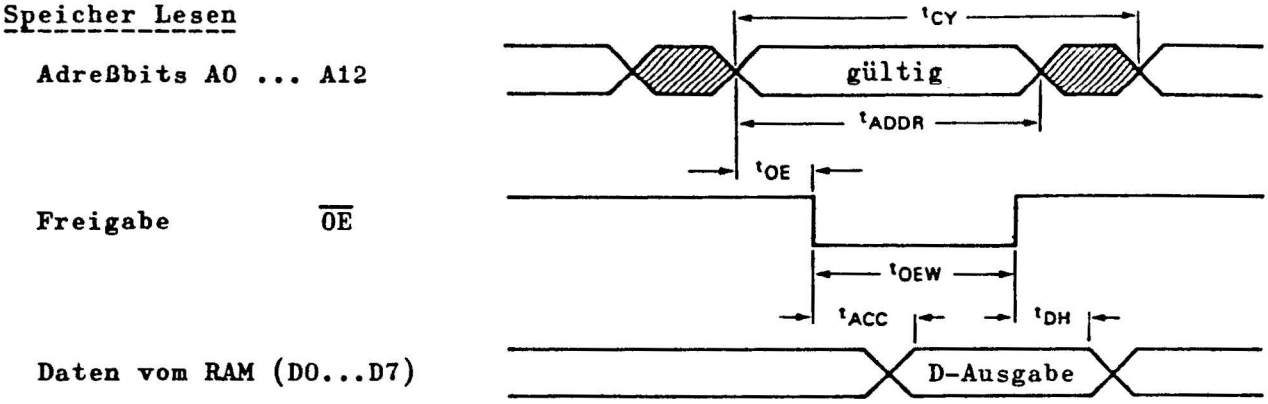
(1) mit Zeilensprung
(2) ohne Zeilensprung

Verhältnisse bei den Bildwechseln
(äquivalente Zeilenzahlen in Klammern)

Bild 7 Oben: Zeilensyncimpuls $\overline{LSP}$, Vortrabant $\overline{EP}$ und Haupttrabant $\overline{BP}$. Zeiten von Null aus mit ±100 ns Toleranz gemessen.

Unten: Zusammengesetztes Syncsignal

Speicher Lesen



Speicher Schreiben

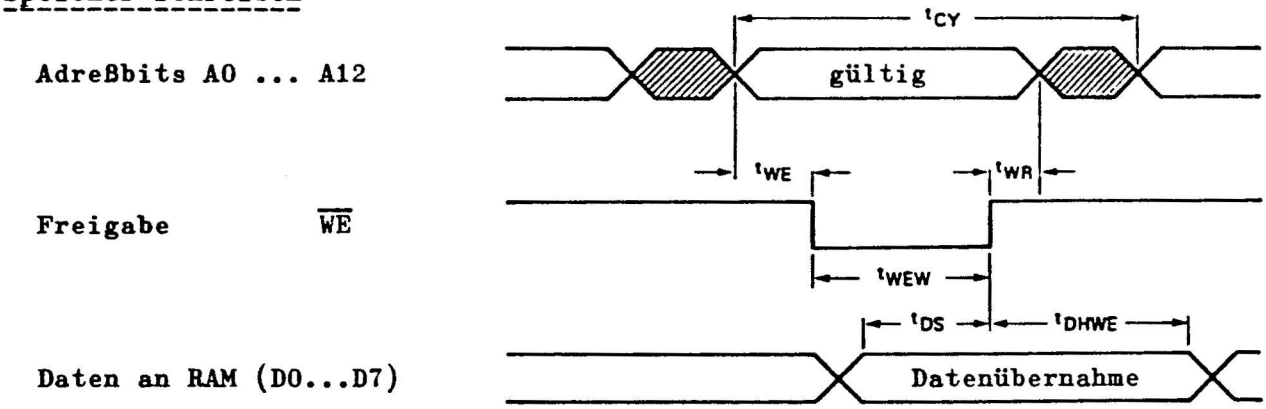


Bild 8 Datenverkehr mit externem RAM (Zeiten bezogen auf U_{IL} = 1,5 V)

		min.	typ.	max.	
Zyklusdauer	t_{CY}	-	500	-	ns
Freigabeverzögerung $\overline{OE}$	t_{OE}	60	-	-	ns
Adreßübernahme	t_{ADDR}	450	500	-	ns
Freigabe-Impulsdauer $\overline{OE}$	t_{OEW}	320	-	-	ns
Daten-Vorbereitungszeit	t_{ACC}	-	-	200	ns
Daten-Haltezeit bis Adresse	t_{DH}	0	-	-	ns
Freigabeverzögerung $\overline{WE}$	t_{WE}	40	-	-	ns
Freigabe-Impulsdauer $\overline{WE}$	t_{WEW}	200	-	-	ns
Datenübernahme	t_{DS}	100	-	-	ns
Daten-Haltezeit bis Adresse	t_{DHWE}	20	-	-	ns
Schreiben-Erholungszeit	t_{WR}	25	-	-	ns

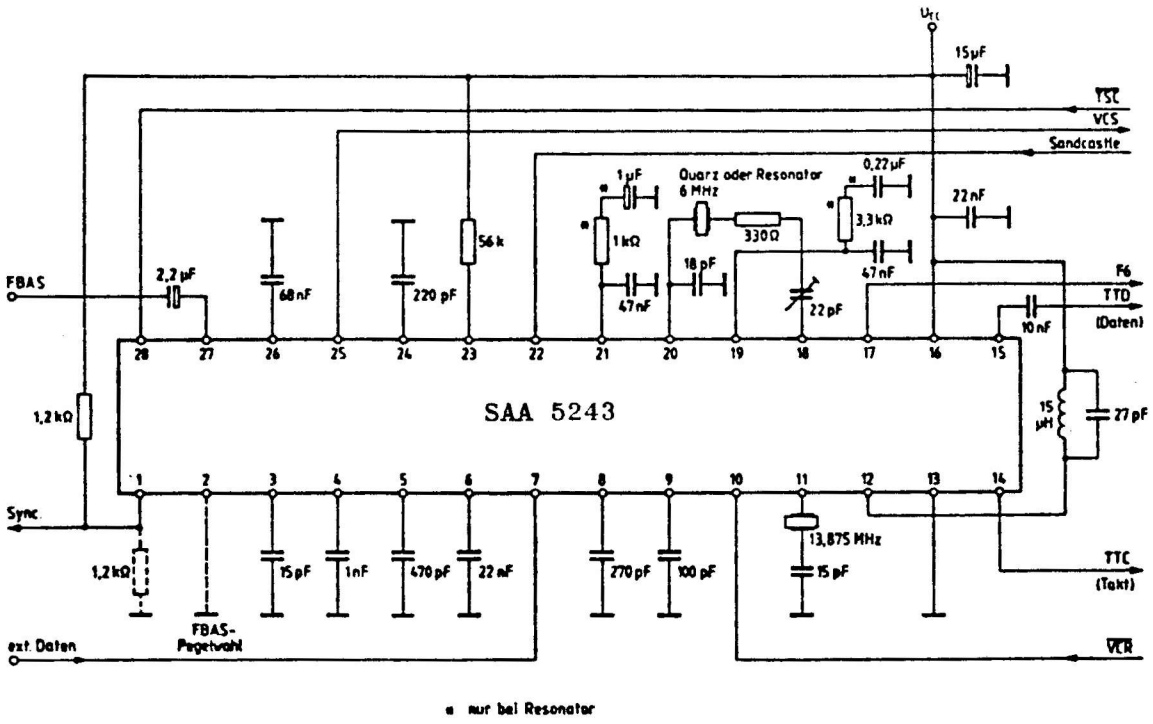


Bild 9 Applikation des Videotext-Videoprozessors SAA 5231

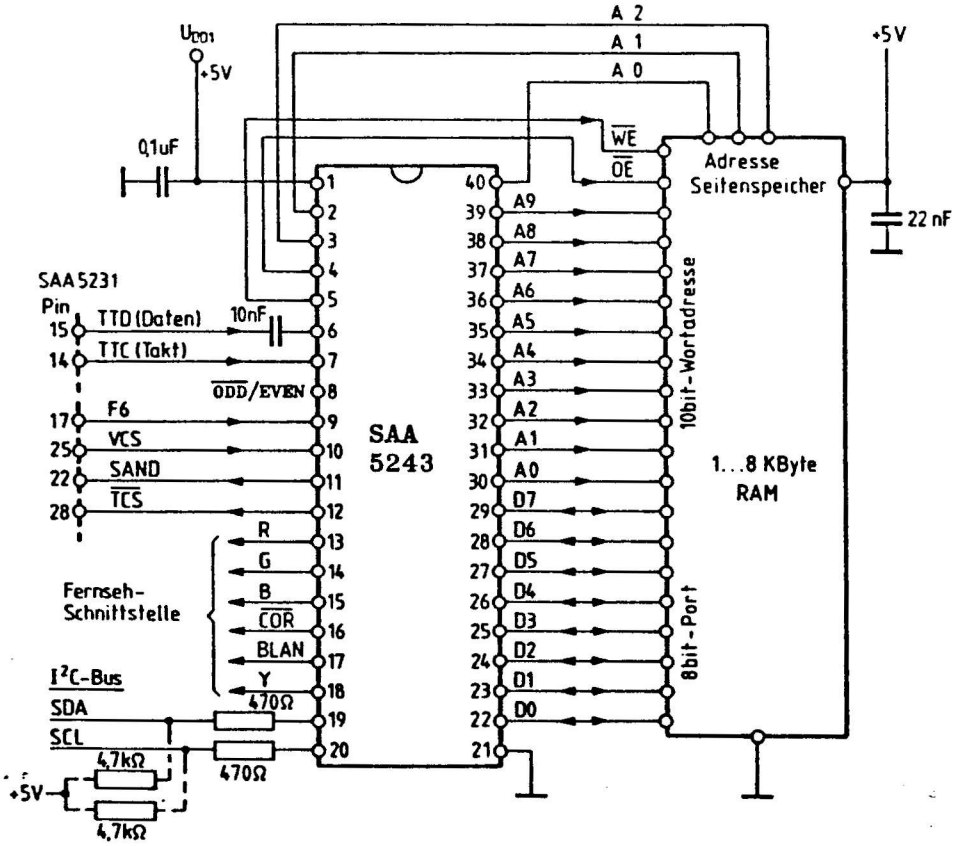


Bild 10 Applikation des SAA 5243

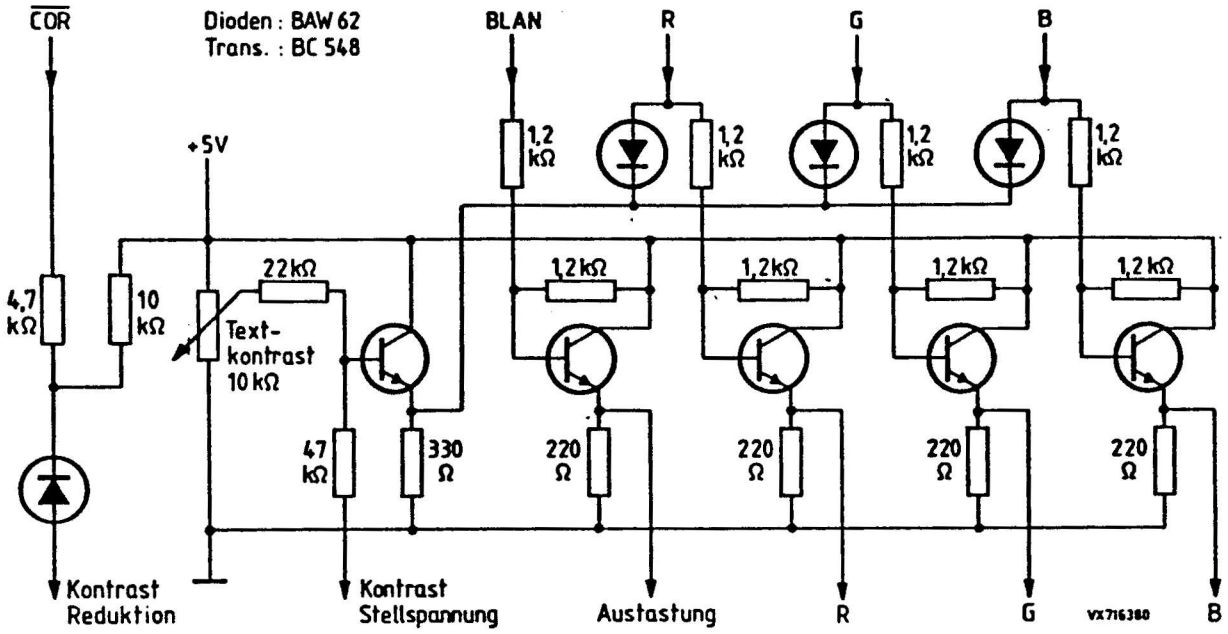


Bild 11 Fernseh-Schnittstelle für SAA 5243

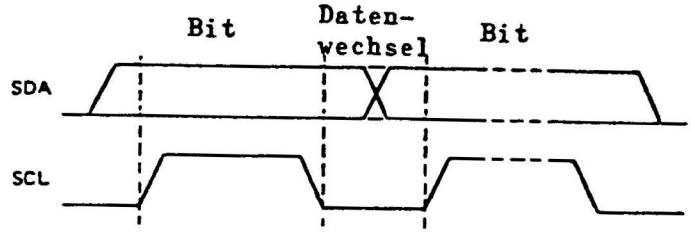
Dieses Datenblatt gibt keine Auskunft über Liefermöglichkeiten.
Die angegebenen Daten dienen allein der Produktbeschreibung und sind nicht als zugesicherte Eigenschaften im Rechtssinne aufzufassen. Etwaige Schadensersatzansprüche gegen uns – gleich aus welchem Rechtsgrund – sind ausgeschlossen, soweit uns nicht Vorsatz oder grobe Fahrlässigkeit trifft.
Es wird keine Gewähr übernommen, daß die angegebenen Schaltungen oder Verfahren frei von Schutzrechten Dritter sind.
Ein Nachdruck – auch auszugsweise – ist nur zulässig mit Zustimmung des Herausgebers und mit genauer Quellenangabe.

I^2C-Bus-Schnittstelle

Der I^2C-Bus ist ein bidirektionaler Zweileiterbus, dessen Datenleitung SDA und Taktleitung SCL extern über Widerstände an U_{DD} gelegt werden. Ruhezustand ist der HIGH-Zustand, Signale sind Aktiv-LOW. Ein Datenverkehr darf erst beginnen, wenn der Bus frei ist, entsprechend ist die Startbedingung S definiert.

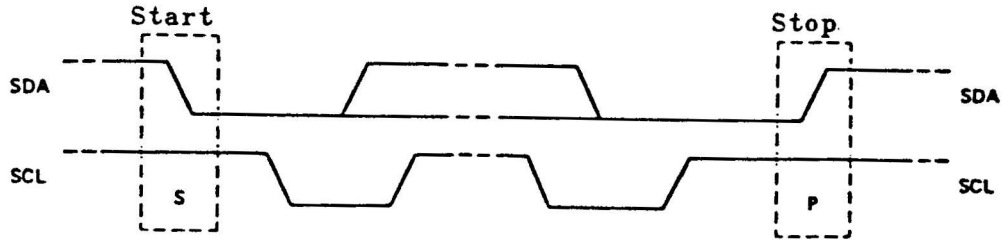
Übertragung eines Bits

Ein Datenbit auf SDA kann nur während eines Taktimpulses übertragen werden, es muß für die gesamte Taktimpulsdauer (SCL = HIGH) störungsfrei anliegen, da Änderungen Start- und Stoppbedingungen erzeugen können.



Start- und Stoppbedingungen

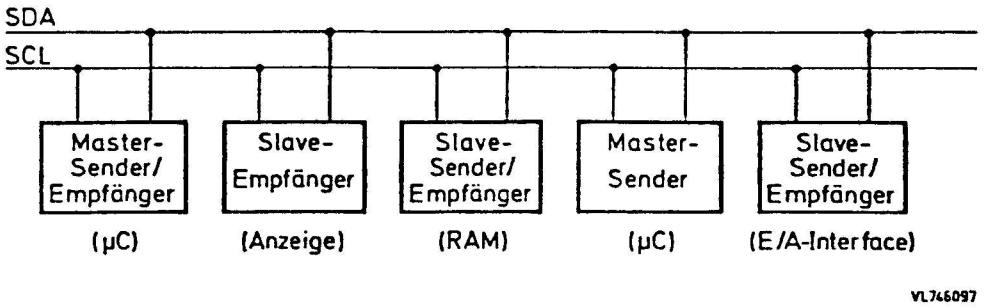
Im Ruhezustand sind SDA und SCL im HIGH-Zustand. Ein H/L-Übergang auf SDA (SCL = HIGH) erfüllt die Startbedingung S, ein L/H-Übergang auf SDA (SCL = HIGH) erfüllt die Stoppbedingung P.



Systemkonfiguration

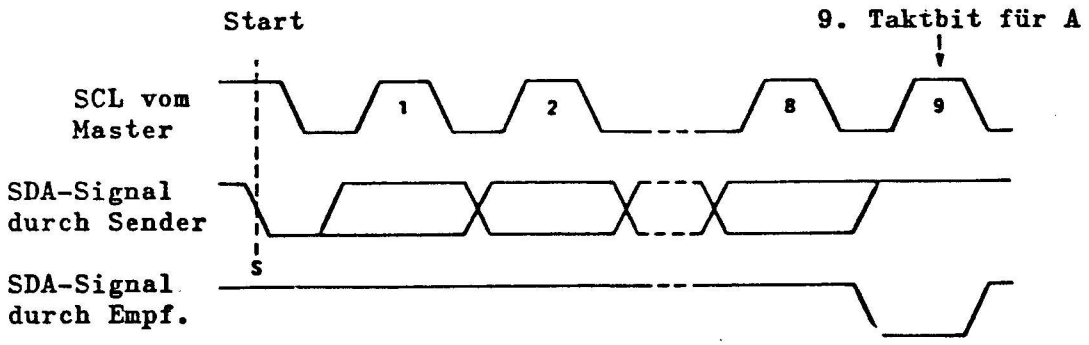
Die Datenübertragung zwischen mehreren Schaltungen mit I^2C-Bus-Schnittstelle am selben Bus kann wie folgt ablaufen. Eine Daten abgebende Schaltung ist Sender, eine Daten empfangende Schaltung ist Empfänger. Schaltungen, welche den Datenverkehr steuern sind Master und Schaltungen, welche gesteuert werden

sind Slave. In der Praxis gibt es Master-Sender, Master-Empfänger, Slave-Sender und Slave-Empfänger.



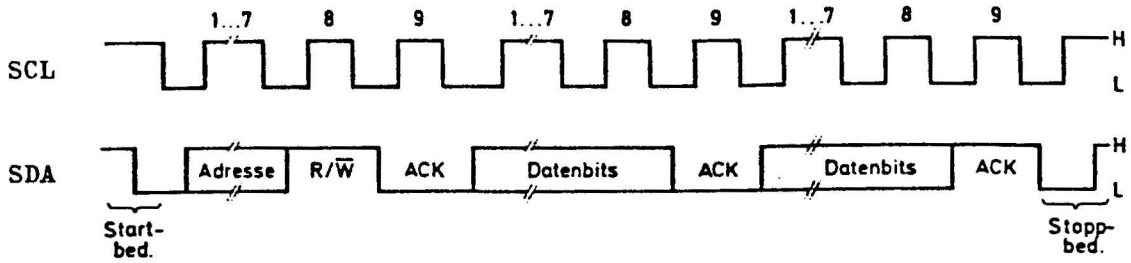
Quittierung

Die Anzahl der Bytes zwischen Start und Stopp ist in der Regel nicht begrenzt. Jedes Byte besteht aus acht Datenbits (Daten, Adressen, Befehle) und einem zusätzlichen Quittungsbit A (acknowledge). Zum Übertragen einer Quittung muß SDA = HIGH sein, damit der Empfänger der Daten - mindestens für die Dauer des 9. Taktimpulses SCL - durch LOW-Setzen von SDA quittieren kann. Quittieren können Slave-Empfänger und Master-Empfänger. Durch Weglassen der Quittung kann der Master-Empfänger auch das Ende einer Übertragung bestimmen.



Datenübertragung (allgemein)

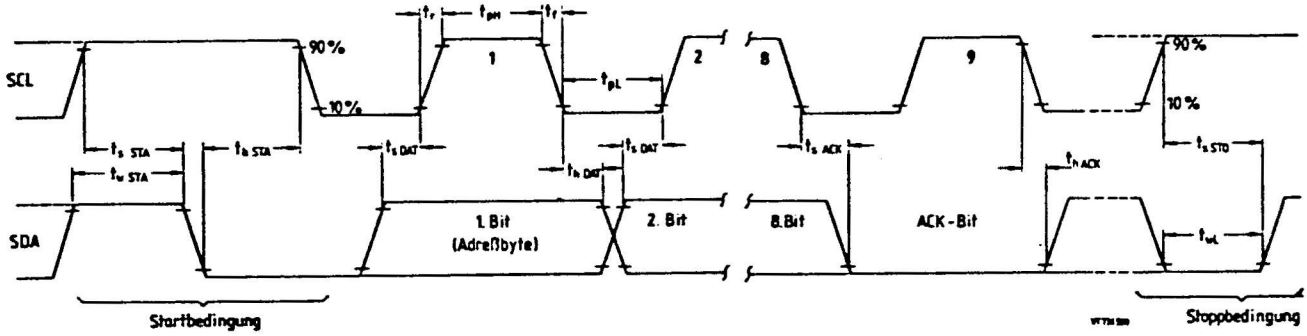
Ein Master-Sender muß mit der Startbedingung und dem Adreßbyte beginnen. Das 8. Bit des Adreßbytes $R/\overline{W}$ gibt an, ob der Master-Sender im folgenden Byte Schreiben ($R/\overline{W} = 0$) oder Lesen ($R/\overline{W} = 1$) will. Vier direkt auf das Startbit S folgende Bits geben den Schaltungstyp (vom Hersteller vorgegeben) an. Die Bits A2, A1 und A0 müssen mit der Verdrahtung der Setzeingänge übereinstimmen, um eine bestimmte Schaltung zu adressieren. Bei gültiger Adressierung quittiert der Empfänger durch A. Das zweite Byte kann Daten oder weitere Adressierungen und Befehle beinhalten.



Beispiel einer Übertragung (Lesen)

Zeitabläufe

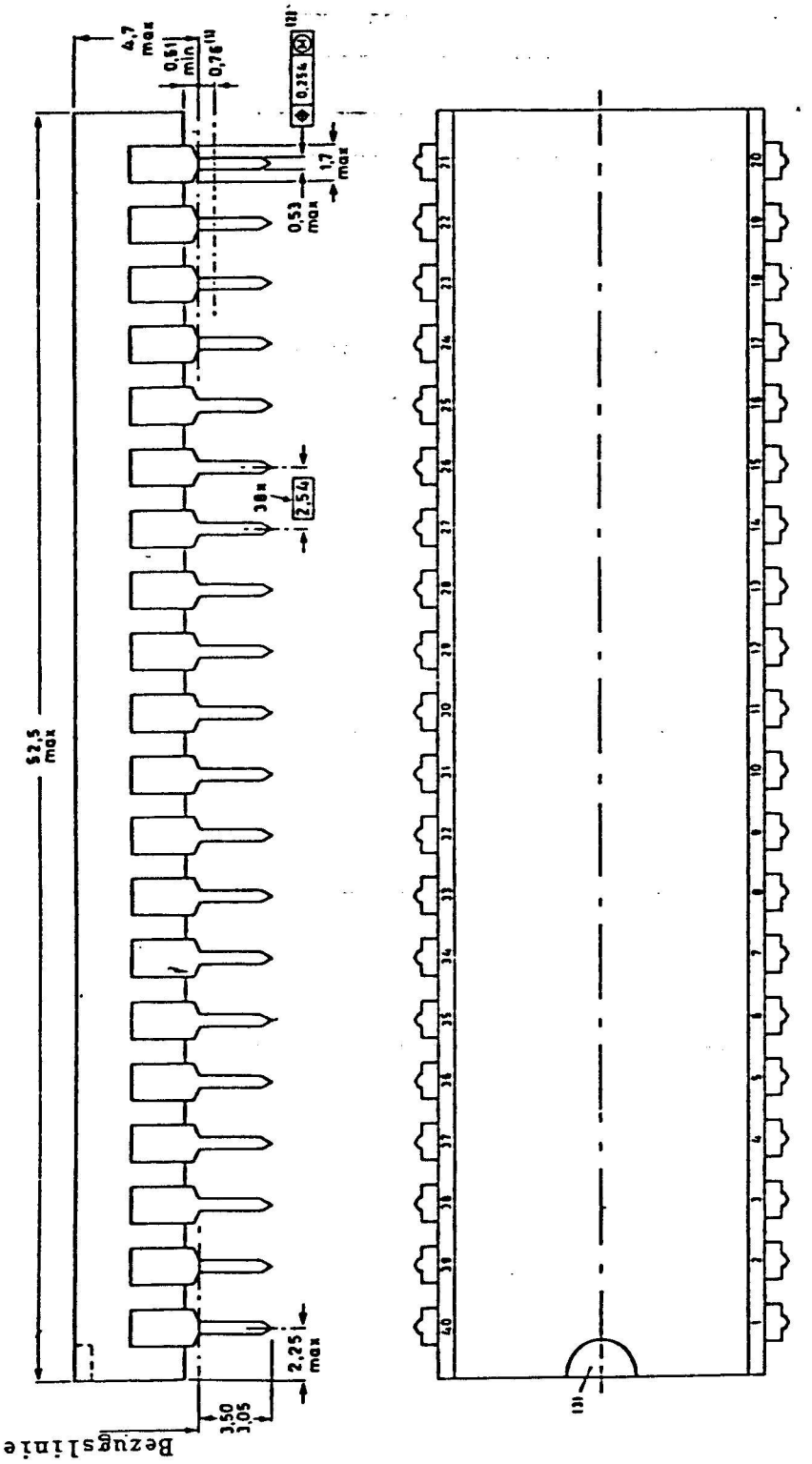
Das folgende Bild zeigt die busspezifischen Zeiten für Signale auf SDA und SCL. Ergänzende Angaben finden Sie in der I^2C-Bus-Spezifikation von Valvo.



Allgemein:

		min.	typ.	max.	
max. Taktfrequenz	f_{SCL}	0	-	100	kHz
Taktimpulsdauer HIGH	$t_{p\,H}$	4	-	-	µs
Taktimpulsdauer LOW	$t_{p\,L}$	4,7	-	-	µs
Übergangszeiten	t_r	-	-	1	µs
	t_f	-	-	0,3	µs
Startbedingung					
Wartezeit (SDA HIGH)	$t_{w\,STA}$	4,7	-	-	µs
Setzzeit (SCL HIGH)	$t_{s\,STA}$	4	-	-	µs
Haltezeit (SCL HIGH)	$t_{h\,STA}$	4,7	-	-	µs
Daten-Setzzeit	$t_{s\,DAT}$	0,25	-	-	µs
Daten-Haltezeit	$t_{h\,DAT}$	0	-	-	µs
Quittung-Setzzeit	$t_{s\,ACK}$		-	4	µs
Quittung-Haltezeit	$t_{h\,ACK}$	0	-	-	µs
Stoppbedingung					
Wartezeit (SDA LOW)	$t_{w\,L}$	4,7	-	-	µs
Setzzeit (SCL HIGH)	$t_{s\,STO}$	4,7	-	-	µs

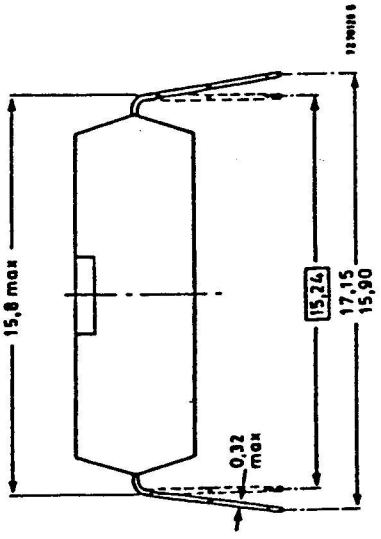
SAA 5243



Gehäuse SOT-129

dual in line

Kunststoff

40 Anschlüsse

Abmessungen in mm